

PUBLICATION NUMBER : 05347554

PUBLICATION DATE : 27-12-93

APPLICATION DATE : 15-06-92

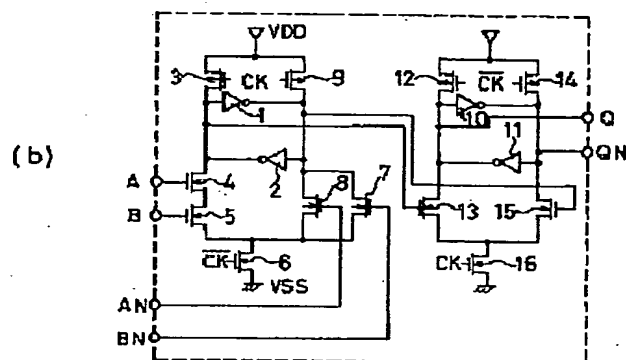
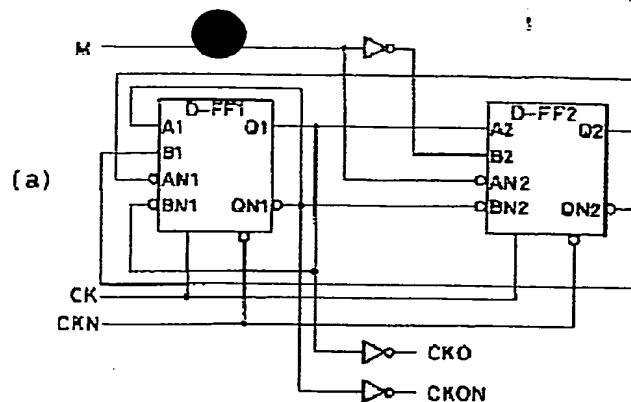
APPLICATION NUMBER : 04180398

APPLICANT : NIPPON TELEGR & TELEPH CORP
<NTT>;

INVENTOR : KADO YUICHI;

INT.CL. : H03K 23/64

TITLE : CMOS VARIABLE FREQUENCY
DIVIDER CIRCUIT



ABSTRACT : PURPOSE: To ensure a stable and high speed operation of a CMOS variable frequency divider circuit even with the power voltage of a low level by performing the odd division necessary for a variable frequency dividing operation and the division mode switching logical arithmetic by means of a static FF of a clocked inverter constitution.

CONSTITUTION: When a division mode switching signal M is kept at a high level, the NAND logic of a D-FF (D type flip-flop) 2 is fixed at a high level with the NOR logic fixed at a low level respectively. Therefore the output level of the master FF element of the D-FF 2 does not change and is sent to a slave FF element. Then the output level is inverted and fed back to the NOR logic and the NAND logic of the master FF element a D-FF 1 respectively. As a result, an NMOS 5 and an NMOS 8 are turned on and off respectively and the D-FF 1 has a 2-division operation. Meanwhile the complementary output signal of the D-FF 1 is delayed by an extent equal to a single cycle of a clock signal and fed back via the D-FF 2 when the signal M is kept at a low level. Thus a 3-division operation waveform is secured.

COPYRIGHT: (C)1993,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-347554

(43) 公開日 平成 5 年 (1993) 12 月 27 日

(51) Int.Cl.⁵
H 0 3 K 23/64

識別記号 庁内整理番号
C 7402-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 1 (全 8 頁)

(21) 出願番号 特願平4-180398

(22) 出願日 平成 4 年 (1992) 6 月 15 日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目 1 番 6 号

(72) 発明者 門 勇一

東京都千代田区内幸町一丁目 1 番 6 号 日

本電信電話株式会社内

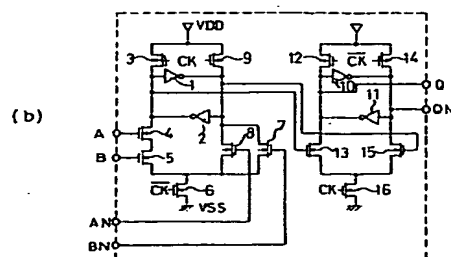
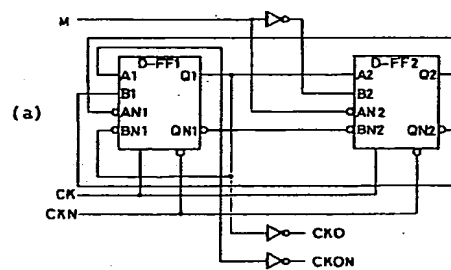
(74) 代理人 弁理士 角田 仁之助

(54) 【発明の名称】 CMOS 可変分周回路

(57) 【要約】

【目的】 超小型携帯電話機等に用いる周波数シンセサイザ用の GHz 帯で動作する超高速かつ、低電源電圧、低消費電力の CMOS 可変分周回路を提供する。

【構成】 CMOS 可変分周回路の性能を決める D 型フリップフロップに高速性に優れたクロックドインバータを基本としてスタティック型フリップフロップを構成し、更に可変分周動作に必要な奇数分周用の論理演算と、分周モード切替え用の論理演算とを行う論理ゲートを前記フリップフロップのマスター側のフリップフロップに組み込んで、回路を構成する。



果、D-FF 51はT型結合になり、÷2分周動作を行う。一方、前記MがL (Lowレベル)の時、D-FF 51の出力信号は更にD-FF 52により更に1クロック分だけ遅れてNOR論理ゲート53の inputs に帰還される。NOR論理ゲート53では二つの入力信号が共にLの時のみHを出力し、÷3分周動作波形が得られる。以上説明した、÷2分周及び÷3分周動作時のタイムチャートを図6に示す。図中のA、B、E、Fは図5に示した各部に対応している。

【0007】図5に示したブロック図に更にD-FF 55を1個追加することにより、÷4/÷5の可変分周回路を構成することが出来る。そのブロック図を図7に示す。D-FF 51、52、55及びNOR論理ゲート53、54より構成されている。NOR論理ゲート54は分周モード切り替え機能を担っている。動作原理は図5で説明した可変分周回路と同様である。÷4分周及び÷5分周動作時のタイムチャートを図8に示す。図中のA、B、E、Fは図7に示した各部に対応している。

【0008】さて、従来図5及び図7に示したプリスケラ回路を構成するに当たり、動作の高速化を実現するためダイナミック型のフリップフロップ (以下FFと略す)を採用していた (公知文献3; 蟹沢 他、「÷4/5 CMOS 2モジュラス・プリスケラ」1989年電子情報通信学会秋季全国大会予稿C-124 5-*

$$T_{pd} = T_{inv} + 2T_{nor} + T_w + T_r \quad (式1)$$

になる。従って、可変分周回路の高速化を図るためにはD-FF及び論理ゲートの動作の高速化が不可欠になる。図9の従来回路ではダイナミック型FFを採用して T_w と T_r を短縮し、高速化を図っているわけである。

【0010】
【発明が解決しようとする課題】しかしながら、図9に示した従来のダイナミックFFではクロック信号の周波数が低下したり、製造プロセスバラツキに起因したトランジスタの閾値バラツキ等により、動作の安定性が劣化するという問題がある。即ち、図9におけるD-FF 1、2において、フリップフロップ要素による信号の保持はTG 91 (又は92、98、99)のソース・ドレイン接合容量 C_j と次段のCMOSインバータ93 (又は94、100、101)のゲート容量 C_g の合成容量 $C (=C_j + C_g)$ に蓄えられた電荷によってなされる。ところが、蓄積電荷はソース・ドレイン接合やゲート酸化膜におけるリーク電流、サブスレッショルド・リーク電流により時間とともに減少するので、信号の周期が長くなると保持している信号レベルが低下し、ついには次段のインバータの論理しきい値以下になる。その結果、次段のインバータが反転し、誤動作する。

【0011】更にこの問題は電源電圧が低下する程、インバータの負荷充電能力が低下するので、合成容量 $C (=C_j + C_g)$ に充電される電荷量が少なくなり、動作マージンが減少する。この様な問題はTGより成るダ

*110)。図9に示したのは図5に示した÷2/÷3の可変分周回路をトランスファー・ゲート (以下TGという)より成るダイナミックFFで構成した場合の回路図である。図中、CMOS構成のTG 91、92及びインバータ93、94は初段のD-FF 1を構成する。インバータ97は反転出力を得るためのバッファであり、NMOS 95及びPMOS 96はFF初期化するためのリセット用トランジスタである。同様にTG 98、99、インバータ100、101及びリセット用のNMOS 103、PMOS 102は後段のFF 2を構成する。インバータ104はクロックの相補信号を発生する。動作は図5のブロック図を用いた説明と同様であるので省略する。動作時のタイミングチャートは、図5で示した変化と同じであり、図中のA、B、E、Fは図6で示した各部の記号に対応する。

【0009】図9の可変分周回路の最高動作周波数は÷3分周動作時のB→E→F→Aの信号パスにおける遅延時間 (T_{pd})で決まる。 T_{pd} は初段のD-FF 1の反転出力を発生するインバータ97の遅延 (T_{inv})、NOR論理ゲート4における遅延 (T_{nor})、D-FF 2におけるデータ書き込み遅延 (T_w)及び読み出しによる遅延 (T_r)、NOR論理ゲート3における遅延 (T_{nor})の和になる。従って、

ダイナミックFFのみならずクロックドインバータより構成されるダイナミックFF (公知文献4; 門 他、「0.2 μ m CMOS 超高速分周器」1990年電子情報通信学会春季全国大会予稿C-648 5-212)についても同様な理由で発生する。

【0012】また、電源電圧が低下すると、NOR論理ゲートの動作速度や動作マージンが大きく劣化するため、乾電池1本の起電力 (0.9~1.6V)での高速・安定動作は期待できなかった。

【0013】この様な状況下において、低電源電圧でGHz帯で動作し、動作周波数に依存せず安定に動作するCMOS可変分周回路技術が求められていた。

【0014】以上従来のダイナミック型のCMOS可変分周回路の課題を整理すると、以下の3点に集約される。

【0015】(1) プロセス変動によるトランジスタの閾値バラツキ等により動作の安定性が大きく影響される。

【0016】(2) 動作周波数範囲の下限が存在し、低周波での安定性が悪い。

【0017】(3) 電源電圧が低下する程、上記(1)及び(2)の問題が深刻となるため、低電源電圧動作に不適である。

【0018】

【課題を解決するための手段】本発明はこのような要請

可変分周回路を0.2 μ m級ゲート長CMOSで構成した場合の最高動作周波数(÷3分周動作時)の電源電圧依存性を図2に示す。また、参考として、図9に示した従来のダイナミック型可変分周回路の性能も対比して併記した。電源電圧が低下してくると、本発明の可変分周回路の方が優れた高速性を示す。

【0031】〔実施例2〕図3に本発明の第2の実施例を示す。本実施例は第1の実施例と異なり、低消費電力化を図るため、リセット機能を付加して間欠動作を可能としている。可変分周回路の電源を遮断した後、再通電した時のD-FF1とD-FF2の記憶内容を初期化するため、新たにPMOS20及び21を付加している。初期化が必要な時に上記PMOSのゲートにLレベルの信号を入力する。これにより、D-FF1の出力端Q1及びQN1の電位がL及びHレベルに各々固定され、D-FF2の出力端Q2及びQN2の電位もL及びHレベルに各々固定される。

【0032】〔実施例3〕図4に本発明の第3の実施例を示す。本実施例は第1の実施例と異なり、本発明の回路構成を図7に示した÷4/÷5可変分周回路に適用した場合の例を示している。本実施では新たにD-FF3を挿入して÷4分周及び÷5分周を可能としている。D-FF1及びD-FF2は第1の実施例と同じ回路構成であるので、D-FF3について説明する。

【0033】インバータ22の入出力端をインバータ23の入出力端に相互接続してフリップフロップ要素を構成する。インバータ22の入力端をクロック信号でドライブされるPMOS24を介して高電位側電源に接続し、かつ、直列接続されたNMOS25とクロック信号でドライブされるNMOS26を介して低電位側電源に接続する。インバータ23の入力端をPMOS27を介して高電位側電源に接続し、かつ、NMOS28とクロック信号でドライブされるNMOS26を介して低電位側電源に接続する。

【0034】次に、初段D-FF3のスレーブ側フリップフロップ要素について回路構成を説明する。インバータ29の入出力端をインバータ30の入出力端に相互接続してフリップフロップ要素を構成し、インバータ29の入力端をクロック信号でドライブされるPMOS31を介して高電位側電源に接続し、かつ、NMOS32とクロック信号でドライブされるNMOS33を介して低電位側電源に接続し、インバータ30の入力端をPMOS34を介して高電位側電源に接続し、かつ、NMOS35とクロック信号でドライブされるNMOS33を介して低電位側電源に接続している。

【0035】マスター側フリップフロップ要素からの相補信号の出力端である第23のインバータ23の出力端とインバータ22の出力端を各々スレーブ側フリップフロップ要素の入力端であるNMOS33とNMOS35のゲートに接続し、タイミングパルスを前記PMOS2

4及び27と第33のNMOSのゲートに入力し、前記タイミングパルスと逆相のタイミングパルスを前記NMOS26とPMOS31及び34に入力し、フリップフロップの信号入力端子をNMOS25のゲートとし、前記信号の逆相の信号入力端子を第28のNMOS28のゲートとし、出力信号端子をインバータ30の出力端とし、逆相の出力信号端子をインバータ29の出力端としている。

【0036】次に全体の構成について説明する。初段のD-FF1の入力端をA1、B1、逆相信号の入力端をAN1、BN1、出力端をQ1、QN1とする。また、後段のD-FF2の入力端をA2、B2、逆相信号の入力端をAN2、BN2、出力端をQ2、QN2とする。新たに挿入したD-FF3の入力端をA3、逆相信号の入力端をAN3、出力端をQ3、QN3とする。

【0037】D-FF1の出力端であるQ1とQN1を各々A3とAN3に接続する。D-FF3の出力端であるQ3とQN3を各々A2とBN2に接続する。また、分周モード切り替え信号MをAN2に入力し、その逆相信号をB2に入力する。D-FF2の出力端であるQ2とQN2をD-FF1のAN1とB1に各々帰還させる。また、D-FF3の出力端であるQ3とQN3をD-FF1のBN1とA1に各々帰還させる。本実施例では可変分周回路の出力端をD-FF1の出力端であるQ1とQN1から取り出しているが、D-FF2又はD-FF3の出力端から取り出しても問題はない。

【0038】図4に基づいて動作を説明する。M=H(highレベル)の時、D-FF2のNAND論理はH固定になり、NOR論理はL固定になるのでD-FF2のマスター側フリップフロップ要素の出力レベルは変化せずにD-FF2のスレーブ側フリップフロップ要素に伝えられ、反転して、D-FF1のマスター側フリップフロップ要素のD-FF1のNOR論理とNAND論理に各々帰還される。これにより、D-FF1のNMOS5はオンになり、NMOS8はオフになる。その結果、継続接続されたD-FF1とD-FF2はT型結合となるので÷4分周動作となる。

【0039】M=L(lowレベル)の時、D-FF2の機能はD-FF3と同じになる。D-FF1の相補出力信号の内、正相信号出力Q1はD-FF3を経由してクロック信号の1周期分遅延してBN1に帰還されると同時にD-FF2を経由してクロック信号の2周期分遅延してAN1帰還される。AN1とBN1はNOR論理の入力になっているので、2つの入力信号が共にLの時のみHを出力するので、÷5分周動作となる。一方、逆相信号出力QN1もD-FF3を経由してクロック信号の1周期分遅延してA1に帰還されると同時にD-FF2を経由してクロック信号の2周期分遅延してB1帰還される。A1とB1はNAND論理の入力になっているので、2つの入力信号が共にHの時のみLを出力するの

で、 $\div 5$ 分周動作となる。

【0040】動作時の各部のタイミングチャートは図7において、 $A \rightarrow D-FF1$ のインバータ2の入力端子、 $B \rightarrow Q3$ 、 $E \rightarrow D-FF2$ のインバータ2の入力端子、 $F \rightarrow Q2$ と読み替えば図8に示したチャートと同様になる。

【0041】以上説明したスタティック型の $\div 4/\div 5$ 可変分周回路を、 $0.2\mu\text{m}$ 級ゲート長CMOSで構成すると、図2に示した $\div 2/\div 3$ 可変分周回路の最高動作周波数の電源電圧依存性と同等に電源電圧が低下してくると、本発明の可変分周回路の方が従来のダイナミック型より優れた高速性を示す。

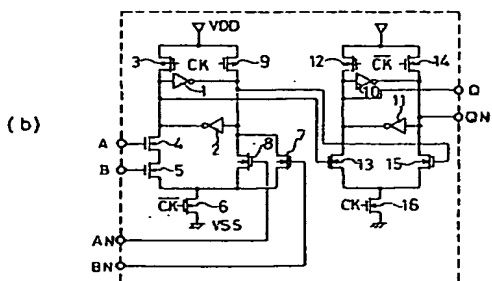
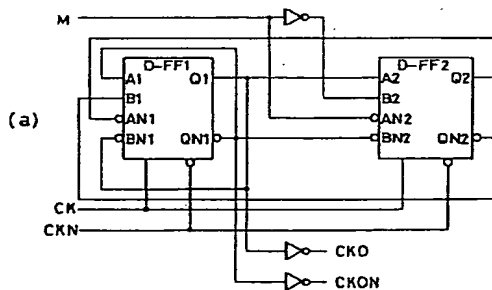
【0042】

【発明の効果】以上説明した様に、本発明の相補信号を入出力するスタティック型CMOS可変分周回路を用いることにより、動作周波数によらず安定な動作を確保し、電池駆動等の低電源電圧下では従来のダイナミック型可変分周回路よりも高速に動作する。これにより、次期の超小型移動体通信機器の周波数シンセサイザ等に使用されるプリスケラ回路等をCMOS化することが可能になるので、これらの機器に使われるICの完全CMOS化が実現され、システムの低消費電力化と低コスト化を図ることが出来るという効果がある。

【図面の簡単な説明】

【図1】(a) 本発明の第1の実施例のブロック図、

【図1】



(b) 該ブロック図中のD-FF1及びD-FF2の回路図である。

【図2】本発明の回路と従来の回路とにおける動作最高周波数の電源電圧依存特性の比較図である。

【図3】本発明の第2の実施例の回路図である。

【図4】(a) 本発明の第3の実施例のブロック図、(b) 該ブロック図中のD-FF3の回路図である。

【図5】(a) 従来の $\div 2/\div 3$ 可変分周回路のブロック図、(b) 該ブロック図中のNOR論理ゲート51及び54の回路図である。

【図6】図5の回路の各部のタイミングチャートである。

【図7】従来の $\div 4/\div 5$ 可変分周回路のブロック図である。

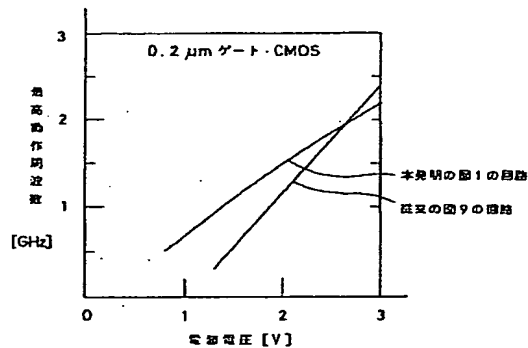
【図8】図7の回路の各部のタイミングチャートである。

【図9】従来のダイナミック型 $\div 2/\div 3$ 可変分周回路図である。

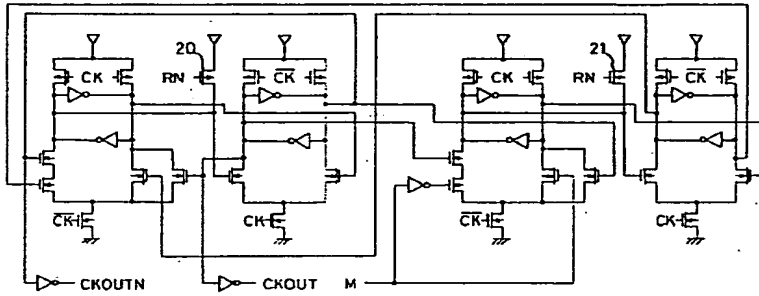
【符号の説明】

1, 2, 10, 11 インバータ
3, 9, 12, 14 PMOS
4, 5, 6, 7, 8, 13, 15, 16 NMOS
CK クロック信号
M 分周モード切替信号

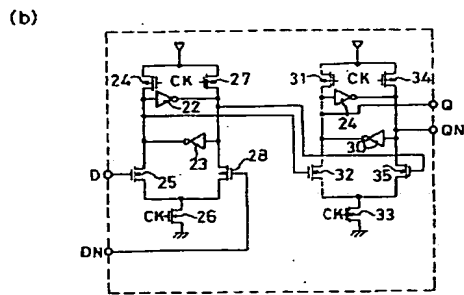
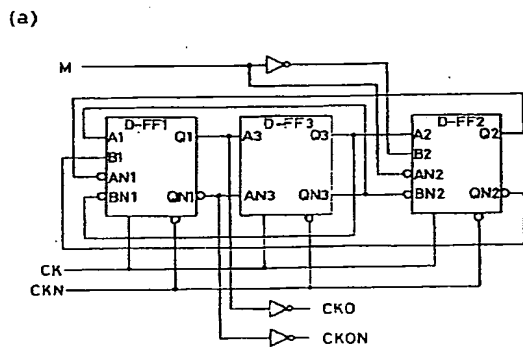
【図2】



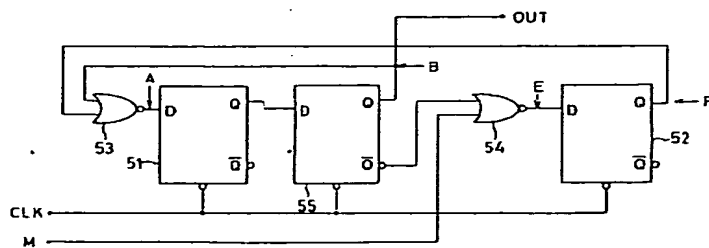
【図3】



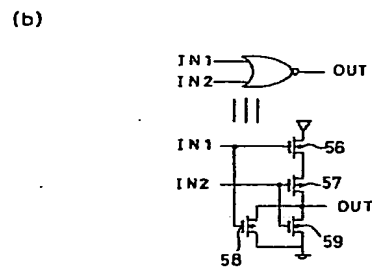
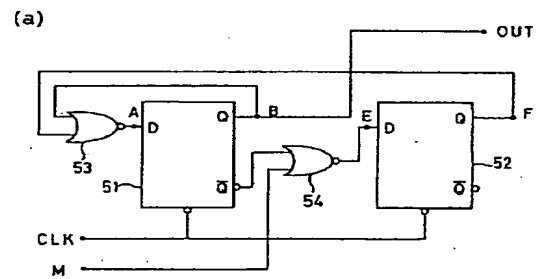
【図4】



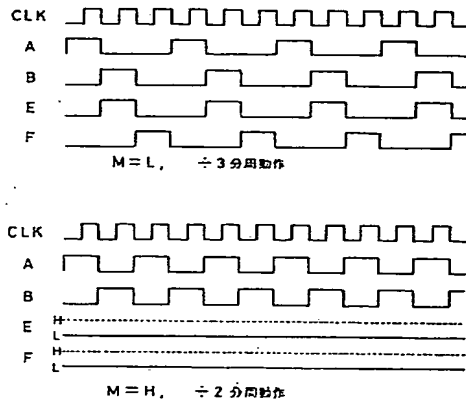
【図7】



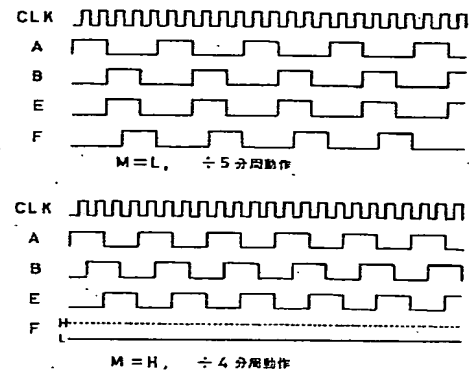
【図5】



【図6】



【図8】



【図9】

